


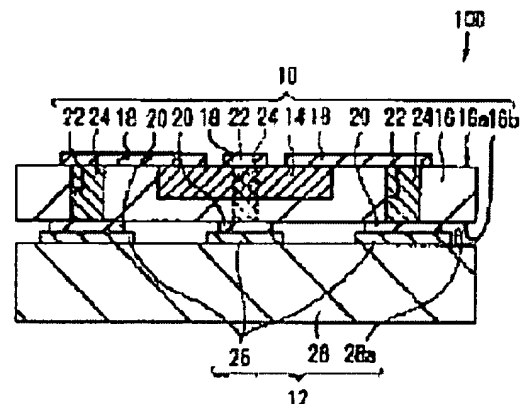
Original document**MICROWAVE CIRCUIT AND CHIP**

Patent number: JP9321175
 Publication date: 1997-12-12
 Inventor: NISHI SEIJI; HAMADA TOMOJI
 Applicant: OKI ELECTRIC IND CO LTD
 Classification:
 - international: H01L23/12; H05K1/11
 - european:
 Application number: JP19960137243 19960530
 Priority number(s): JP19960137243 19960530

Also published as:
 US5949140 (A)

[View INPADOC patent family](#)[Report a data error he](#)**Abstract of JP9321175**

PROBLEM TO BE SOLVED: To increase an area of a connection portion between a chip and a wiring board and increase connection strength between the chip and wiring board by a method wherein the chip has a back electrode, a via hole, etc., and is fixed to the wiring board by direct connection between the back electrode and a circuit wiring. **SOLUTION:** A microwave circuit 100 comprises a chip 10 and a wiring board 12. The chip 10 has a back electrode 20 composed of a bump material provided on a back surface 16b of a chip substrate 16; a via hole 22 penetrating from an upper surface of the chip substrate 16 to the back surface 16b; and a via hole wire 24 for electrically connecting a surface electrode 18 to a back electrode 20 which are formed in this via hole 22. Further, the chip 10 is fixed to the wiring board 12 by direct connection between the back electrode 20 and a circuit wire 26. Thereby, an area of a connection portion between the chip 10 and the wiring board 12 is increased. Therefore, heat generated in the chip 10 is radiated to the wiring board 12, and stable operations of a semiconductor element 14 provided in the chip substrate 16 can be expected.



Data supplied from the *esp@cenet* database - Worldwide

Description of corresponding document: **US5949140**

TECHNICAL FIELD

This invention relates to a semiconductor device and a structure including a semiconductor device, more particularly to a semiconductor device and a structure including a semiconductor device employable for microwave circuit. More specifically, this invention relates to a semiconductor device representing a microwave circuit composed of field effect transistors, high electron mobility transistors (HEMTs), diode bipolar transistors, resistors, capacitors and/or the like, produced in a semiconductor substrate e.g. a GaAs substrate, and a structure including a semiconductor device defined as a structure in which the foregoing semiconductor device is arranged on a dielectric substrate.

BACKGROUND OF THE INVENTION

AND

PRIOR ART STATEMENT

A monolithic microwave circuit is available in the prior art. The monolithic microwave circuit composed of a plurality of active and passive elements connected to each other, is produced in the surface region of semiconductor substrate e.g. a GaAs substrate. Since GaAs has a large amount of electron mobility and hole mobility, GaAs transistors have a large amount of switching speed, resultantly employable for a microwave circuit. The foregoing monolithic microwave circuit is usually arranged on a dielectric substrate, resultantly constituting a structure including a semiconductor device. The terminals of the monolithic microwave circuit are bonded to the terminal pads of wirings laid on the dielectric substrate, usually by employing gold wires. The monolithic microwave circuit arranged on a dielectric substrate which monolithic microwave circuit is defined as a structure including a semiconductor device in this specification, is confined in a package, resultantly causing a drawback in which the inductance component of the gold wire notably increases.

It is known in the prior art that the foregoing drawback can be removed by employing the idea of monolithic microwave integrated circuit (MMIC) (See FIG. 3.1 on page 29 of "MMIC Design GaAs FETs and HEMTs", Peter H. Ladbrooke, Artech House, 1988).

In addition, it is known in the prior art that the foregoing drawback can be removed by employing the flip chip system ("Proceeding of 1994 Asia Pacific Microwave Conference, P.291-294).

However, the MMIC is involved with the other drawback in which the production cost is increased, because it requires an expensive GaAs substrate.

Although the flip chip system allows to use a less expensive dielectric substrate, the flip chip system is involved with another drawback in which the strength of adhesion between a semiconductor device and dielectric substrate is not large. As a result, a light setting resin adhesive is required to adhere the semiconductor device to the dielectric substrate (See FIG. 1 of "Proceeding of 1994 Asia Pacific Microwave Conference, P.291-294). This causes a drawback in which an air bridge, if any, is covered by the hardened resin adhesive, resulting in a large amount of electrostatic capacity in the portion covered by the hardened resin adhesive. Incidentally, the area by which the semiconductor device is adhered to the dielectric substrate is less, resulting in an insufficient capacity to disperse heat.

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12	3 0 1		H 0 1 L 23/12	3 0 1 D 3 0 1 C
H 0 5 K 1/11		7128-4E	H 0 5 K 1/11	H

審査請求 未請求 請求項の数 2 O L (全 9 頁)

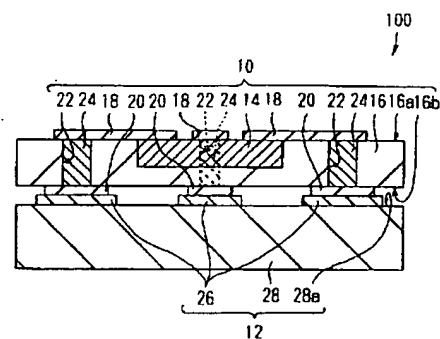
(21) 出願番号	特願平8-137243	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成8年(1996)5月30日	(72) 発明者	西 清次 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(72) 発明者	濱田 智次 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74) 代理人	弁理士 大垣 孝

(54) 【発明の名称】 マイクロ波回路及びチップ

(57) 【要約】

【課題】 チップと配線基板との接続部分の面積が大きく、従ってチップと配線基板との接続強度が大きなマイクロ波回路を提供すること。

【解決手段】 チップ10と、配線基板12とを具えている。チップ10は、半導体素子14が設けられているチップ基板16と、このチップ基板16の上面16aに設けられていて半導体素子14を動作させるための表面電極18と、このチップ基板16の裏面16bに設けられていてバンプ材から成る背面電極20と、チップ基板16の上面16aから裏面16bへ貫通するバイアホール22と、このバイアホール22に形成されていて表面電極18と背面電極20とを電気的に接続するバイアホール配線24とを有している。また、配線基板12には回路配線26が設けられている。



10 : チップ	12 : 配線基板	14 : 半導体素子
16 : チップ基板	16a : 上面	16b : 裏面
18 : 表面電極	20 : 背面電極	22 : バイアホール
24 : バイアホール配線	26 : 回路配線	28 : 基板
28a : 上面	100 : マイクロ波回路	

マイクロ波回路の基本的な構成例

【特許請求の範囲】

【請求項1】 FET、HEMT及びダイオードの少なくとも一つの半導体素子が設けられているチップ基板と、該チップ基板の上面に設けられていて該半導体素子を動作させるための表面電極とを有しているチップと、回路配線が設けられていて前記表面電極が該回路配線に電気的に接続されている配線基板とを具えるマイクロ波回路において、

前記チップは、前記チップ基板の裏面に設けられているバンプ材から成る背面電極と、前記チップ基板の上面から裏面へ貫通するバイアホールと、該バイアホールに形成されていて前記表面電極と前記背面電極とを電気的に接続するバイアホール配線とを有し、

前記チップは、前記背面電極と前記回路配線との直接的な接続により前記配線基板に固定されていることを特徴とするマイクロ波回路。

【請求項2】 FET、HEMT及びダイオードの少なくとも一つの半導体素子が設けられているチップ基板と、該チップ基板の上面に設けられていて該半導体素子を動作させるための表面電極とを有しているチップにおいて、

前記チップ基板の裏面に設けられているバンプ材から成る背面電極と、前記チップ基板の上面から裏面へ貫通するバイアホールと、該バイアホールに形成されていて前記表面電極と前記背面電極とを電気的に接続するバイアホール配線とを有していることを特徴とするチップ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、マイクロ波回路及びこのマイクロ波回路に適用して好適なチップに関する。

【0002】

【従来の技術】従来より、チップ基板としてGaAs基板を用い、このチップ基板にFET(Field Effect Transistor)、HEMT(High Electron Mobility Transistor)及びダイオードなどの半導体素子を形成した構成のチップを、セラミック基板やプリント配線板などの配線基板に実装する方法として、金ワイヤを用いたワイヤボンディング方式が用いられていた。しかし、この方法では、デバイスをパッケージに入れると、金ワイヤのインダクタンス成分が増加するという問題があった(文献1:『GaAs電界効果トランジスタの基礎』, 福田益美、平地康剛共著, 電子情報通信学会, p82~84, 1992)参照)。

【0003】この問題を解決する第1の方法として、MMIC化する方法がある(文献2:『MMIC Design GaAs FETs and HEMTs』, Peter H. Ladbrooke著, Artech House, p29, 1989)のFig.3.1参照)。

【0004】また、第2の方法として、フリップチップ方式を用いて、チップを配線基板に実装する方法がある

(文献3:『Proceeding of 1994 Asia Pacific Microwave Conference, p291~294』参照)。

【0005】

【発明が解決しようとする課題】しかしながら、第1の方法では、高価なGaAs基板に回路配線を形成するためコストが高くなってしまいう問題があった。

【0006】一方、第2の方法では、安価な配線基板を用いることは可能であるが、この方法ではチップと配線基板との接続強度が弱いため、光硬化性の樹脂を用いてチップを配線基板に固定することが必要であった(文献3のFig.1参照)。このため、チップ内にエブリッジによる配線がある場合、エブリッジが樹脂で覆われるため、樹脂で覆われた部分での容量が大きくなるという問題があった。また、チップと配線基板との接続部分の面積が小さいため、チップ内での発熱が大きき場合には、放熱が十分になされないという問題があった。

【0007】従って、チップと配線基板との接続部分の面積が大きく、従ってチップと配線基板との接続強度が大きなマイクロ波回路の出現が望まれていた。

【0008】また、このようなマイクロ波回路に適用して好適なチップの出現が望まれていた。

【0009】

【課題を解決するための手段】このため、この発明のマイクロ波回路によれば、FET、HEMT及びダイオードの少なくとも一つの半導体素子が設けられているチップ基板と、このチップ基板の上面に設けられていて半導体素子を動作させるための表面電極とを有しているチップと、回路配線が設けられていて表面電極がこの回路配線に電気的に接続されている配線基板とを具えるマイクロ波回路において、チップは、チップ基板の裏面に設けられているバンプ材から成る背面電極と、チップ基板の上面から裏面へ貫通するバイアホールと、このバイアホールに形成されていて表面電極と背面電極とを電気的に接続するバイアホール配線とを有し、チップは、背面電極と回路配線との直接的な接続により配線基板に固定されていることを特徴とする。

【0010】また、ここで回路配線には、マイクロストリップ線路、コプレーナ線路などの平面型導波路や接地部(グランド)を含むものとする。

【0011】また、ここで背面電極と回路配線との直接的な接続とは、接続のため背面電極を回路配線上に位置決めして配置した後、リード線とか、配線層とか、電極層とかを介在させずに、背面電極に用いるバンプ材の種類に応じた適当な方法を用いて背面電極と回路配線とを直接接合することを指す。従って、この接合により、背面電極と回路配線とは電気的に接続する。

【0012】このようなこの発明のマイクロ波回路によれば、チップ基板の裏面に設けられている背面電極と、配線基板に設けられている回路配線とを直接的に接続することにより、チップを配線基板に固定している。この

場合、バンプをチップ基板の上面に形成し、これをフェースダウンで配線基板と接続する従来のフリップチップ方式を用いた場合に比べて、チップと配線基板との接続部分の面積が大きくなる。従ってチップと配線基板との接続は高強度になる。また、表面電極と回路配線とは、バイアホール配線及び背面電極を介して電氣的に接続する。バイアホールの長さは、チップ基板の厚さ程度であるので、表面電極と回路配線との間を接続する部分の長さ（接続長ともいう。）はチップ基板の厚さ程度となる。

【0013】チップと配線基板との接続が高強度である場合には、光硬化性の樹脂を用いてチップを配線基板に固定する必要がなく、エブリッジの部分で容量が大きくなるという恐れもない。また、チップと配線基板との接続部分の面積が大きい場合には、チップ内での発熱が配線基板に放熱される。また、表面電極と回路配線との間の接続長がチップの厚さ程度である場合には、インダクタンス等による寄生インピーダンス成分が小さい。

【0014】また、この発明のチップによれば、FET、HEMT及びダイオードの少なくとも一つの半導体素子が設けられているチップ基板と、このチップ基板の上面に設けられていて半導体素子を動作させるための表面電極とを有しているチップにおいて、チップ基板の裏面に設けられているバンプ材から成る背面電極と、チップ基板の上面から裏面へ貫通するバイアホールと、このバイアホールに形成されていて表面電極と背面電極とを電氣的に接続するバイアホール配線とを有していることを特徴とする。

【0015】このようなこの発明のチップによれば、上述のマイクロ波回路のチップとして用いることができる。

【0016】

【発明の実施の形態】以下、図を参照して、この出願の発明の実施の形態について説明する。以下の説明に用いる各図において、各構成成分は、この発明を理解出来る程度に、その形状、大きさ、及び配置関係を概略的に示してあるにすぎない。また、説明に用いる各図において同様な構成成分については同一の番号を付し、その重複する説明を省略することもある。また、断面を示すハッチングは一部分を除き省略してある。また、以下の説明中で挙げる使用材料及びその量、処理時間、処理温度、膜厚などの数値的条件は、これら発明の範囲内の好適例にすぎない。従って、この出願に係る発明が、これら条件にのみ限定されるものではないことは理解されたい。

【0017】先ず、この発明のマイクロ波回路の基本的な構成例について、図1を参照して説明する。図1は、この発明のマイクロ波回路の基本的な構成例を示した概略的な断面図である。

【0018】図1に示すように、この発明のマイクロ波回路100は、チップ10と、配線基板12とを具えて

いる。

【0019】チップ10は、半導体素子14が設けられているチップ基板16と、このチップ基板16の上面16aに設けられていて半導体素子14を動作させるための表面電極18と、このチップ基板16の裏面16bに設けられていてバンプ材から成る背面電極20と、チップ基板16の上面16aから裏面16bへ貫通するバイアホール22と、このバイアホール22に形成されていて表面電極18と背面電極20とを電氣的に接続するバイアホール配線24とを有している。また、配線基板12には回路配線26が設けられている。

【0020】図1に示す構成例では、チップ基板16の一部分に、その上面16aから内部に向かって半導体素子14が設けられている。そして、チップ基板16の上面16aには少なくとも半導体素子14の一部分と接触する3つの表面電極18が設けられている。また、表面電極18と対向するようにチップ基板16の裏面16bには3つの背面電極20が設けられている。そして、表面電極18と背面電極20とが対向する3つの部分にバイアホール22が形成され、それぞれのバイアホール22には、表面電極18と背面電極20とを電氣的に接続するバイアホール配線24が形成されている。ただし、図1中、中央に点線で示したバイアホール22及びバイアホール配線24は、この断面図の断面切り口からはずれた位置に形成されている。また、回路配線26は、基板28の上面28aに3つに分けて設けられ、それぞれ回路配線26は背面電極20と接続している。なお、上述したバイアホール配線24は、図1ではバイアホール22を埋め込むようにして設けてあるが、必ずしもそのように設ける必要はなく、例えばバイアホール22の内壁面に設けてあっても良い。

【0021】このチップ10は、チップ基板16の裏面16aに設けられている背面電極20と、基板28の上面28aに設けられている回路配線26とを直接的に接続することにより、配線基板12に固定されている。この場合、従来のフリップチップ方式を用いた場合に比べて、チップ10と配線基板12との接続部分の面積が大きくなる。このため、チップ10内での発熱が配線基板12に放熱され、チップ基板16に設けられた半導体素子14の安定な動作が期待できる。また、チップ10と配線基板12との接続部分の面積が大きいため、チップ10と配線基板12との接続が高強度になる。また、表面電極18と回路配線28とは、バイアホール配線24及び背面電極20を介して電氣的に接続し、表面電極18と回路配線26との間を接続する部分の長さはチップ基板16の厚さ程度となる。このため、インダクタンス等による寄生インピーダンス成分が小さい状態で、チップ10は配線基板12上に実装される。

【0022】次に、この実施の形態のチップについて、図2を参照して説明する。この実施の形態では、チップ

基板に半導体素子として、FETが設けられているチップ（以下、これをFETチップという。）について説明するが、半導体素子としてFET、HEMT及びダイオードのうちのいずれの素子が設けられている場合であっても良い。図2は、この実施の形態の説明に供するFETチップの概略図である。図2（A）はFETチップを示す概略的な斜視図であり、図2（B）はFETチップの裏面を示す概略的な平面図である。なお、図3～図6は図2（A）中のI-I線に沿って切って取った断面に相当する断面図（ただし切り口の図）によって示したFETチップの概略的な形成工程図で、各図は各工程で得られた構造体の断面を示してある。

【0023】図2（A）に示すように、FETチップ30は、FET32が形成されているチップ基板16と、このチップ基板16の上面16aに設けられている、FET32を動作させるための表面電極18とを少なくとも有している。この表面電極18として、ゲート電極34、ドレイン電極36及びソース電極38が所定の形状で設けられている。

【0024】図2（A）に示す構成例では、チップ基板16のほぼ中央部に6個のFET32（図中、破線で四角い領域とし示してある。）を直線的に配列してあって、これらFET32のゲート電極34をFET32の配列方向と同方向に共通のゲート電極として直線的に設けてある（図中、1本の実線として示してある。）。また、これらFET32のドレイン電極36も共通のドレイン電極として設けてある。また、ソース電極38は左右両側の順次の3個のFET32に共通なソース電極として分けて設けてある。

【0025】上述したゲート電極34、ドレイン電極36及びソース電極38は、FET32の形成領域外のチップ基板16上の領域、すなわちチップ基板16の端部近くの領域に引き出してある。ここではこれらの引き出し部分もゲート電極、ドレイン電極及びソース電極の一部分をそれぞれ形成しており、従ってこれらの引き出し部分も含めて、チップ基板16の上面16aに設けられている表面電極18とみなす。

【0026】上述した表面電極は、後述する背面電極と接続させてある。この発明では、この表面電極と背面電極との接続を、チップ基板に設けたバイアホールを介して行なう。すなわち、バイアホールにバイアホール配線を設けておいて、このバイアホール配線を表面電極と背面電極とに接続させて上述した表面電極及び背面電極間の接続を行なう。

【0027】図2（A）に示す構成例では、ゲート電極用の1つのバイアホール40、ドレイン電極用の1つのバイアホール42、及び各ソース電極用に2つのバイアホールすなわちソース電極用の4つのバイアホール44をそれぞれFET32の形成領域外に設けてあり、これらバイアホール40～44にはバイアホール配線46～

50を設けてある。そして、これらバイアホール配線46～50は表面電極18としてのゲート電極34、ドレイン電極36及びソース電極38の引き出し部分と対応付けて接続してある。このようにバイアホール40～44をFET32の形成領域外に設けた理由は、FET32がバイアホール形成時のエッチングの影響を受けないようにして、完成したマイクロ波回路のFET32を安定して動作させるためである。なお、図2（A）中には、バイアホール40～44が設けられる領域を四角い破線で囲みハッチングを付して示している。また、図2（A）中、52はエアブリッジを示している。このエアブリッジは、絶縁膜上で配線した場合に、絶縁膜下の配線とクロスする位置でのキャパシタンスが大きくなってしまふことを避けるために形成している。

【0028】一方、これらバイアホール配線46～50と対応付けて接続されていて、しかも、チップ基板16の裏面16bに設けられている背面電極20について、図2（B）を参照して説明する。

【0029】図2（B）に示すように、チップ基板16の裏面16bには、バンプ材から成る背面電極20が設けられている。この背面電極20として、ゲート電極52、ドレイン電極54及びソース電極56が所定の形状で設けられている。

【0030】図2（B）に示す構成例では、背面電極20としてのゲート電極52、ドレイン電極54及びソース電極56は、表面電極18としてのゲート電極34、ドレイン電極36及びソース電極38の引き出し部分と対向して設けてある。ただし、ソース電極56は2つに分けることなく1つのソース電極56として設けてある。これらゲート電極52、ドレイン電極54及びソース電極56は、バイアホール配線46～50と対応付けて接続してある。このため、表面電極18としてのゲート電極34、ドレイン電極36及びソース電極38は、背面電極20としてのゲート電極52、ドレイン電極54及びソース電極56と電氣的に接続する。なお、図2（B）中には、バイアホール40～44が設けられる領域を四角い実線で囲みハッチングを付して示している。

【0031】次に、図3～図6を参照して、このようなFETチップ30の形成方法につき説明する。まず、例えば、半絶縁性のGaAs基板58上に、MBE法によりノンドープのGaAsバッファ層60を700nm程度の厚さで形成し、さらにn-GaAsチャネル層62を300nm程度の厚さで形成する（図3（A））。以下、基板58、バッファ層60及びチャネル層62を併せてチップ基板16とする。

【0032】その後、チップ基板16の表面の所定の領域から酸素をイオン注入して、1μm以上の厚さで素子分離領域64を形成する（図3（B））。

【0033】その後、蒸着リフトオフ法により、AuGe合金、Ni及びAuを順に積層した構成の積層膜をチ

チップ基板16の表面の所定の領域に形成する。その後、この積層膜に対してシンターを行なう。この積層膜をドレイン電極36及びソース電極38とする(図3(C))。

【0034】その後、試料表面をレジスト膜で覆った後、このレジスト膜をリセス部形成領域が露出するようにパターニングして、レジストパターン66を形成する(図4(A))。

【0035】その後、このレジストパターン66をマスクとして用いて、200nm程度の深さにチャネル層62の露出した領域をエッチングしてリセス部62aを形成する(図4(B))。

【0036】その後、蒸着リフトオフ法により、Ti及びAlを順に積層した構成の積層膜をリセス部62aに形成する。この積層膜をゲート電極34とする(図4(C))。

【0037】その後、CVD法により試料表面を500nm程度の厚さのSiN層で覆った後、このSiN層を、ドレイン電極36及びソース電極38の一部分が露出するように、パターニングして層間絶縁膜68を形成する(図5(A))。以後、層間絶縁膜68から露出するドレイン電極36及びソース電極38の部分をコンタクト部70と称する場合がある。なお、図5(A)中には示していないが、この層間絶縁膜68は、ゲート電極が一部分露出するように形成されている。

【0038】その後、蒸着リフトオフ法により、Ti、Pt及びAuを順に積層した構成の積層膜を、このコンタクト部70から層間絶縁膜68上に至る所定の領域に形成する。コンタクト部70でドレイン電極36と接続する積層膜をドレイン電極の引き出し部分36aとし、コンタクト部68でソース電極38と接続する積層膜をソース電極の引き出し部分38aとする(図5(B))。

なお、図5(B)中には示していないが、この工程において層間絶縁膜68から一部分露出するゲート電極と接続するゲート電極の引き出し部分も併せて形成される。

【0039】その後、エアブリッジ(図示せず)を形成し、さらに、CVD法により試料表面を200nm程度の厚さで層で覆うSiNパッシベーション膜(図示せず)を形成する。

【0040】その後、試料の上面すなわちFETを形成した側の表面をワックスによりサファイヤ板に貼り付ける。そして、試料の裏面すなわちサファイヤ板に貼り付けた側と反対側の表面(チップ基板16の裏面)を研磨して、チップ基板16の厚さを50μm程度にする。

【0041】その後、チップ基板16の裏面16bからチップ基板16を選択的にエッチングして、FETの形成領域外に、チップ基板16の裏面16bから表面を貫通し、ドレイン電極の引き出し部分36aに至るバイアホール42を形成する(図6(A))。図6(A)中に

示したバイアホール42は、図2(A)中のI-I線に沿って切って取った断面切り口からずれた位置に形成されるものであるが、FETチップの形成方法が理解しやすいように示した。なお、図6(A)中には示していないが、この工程においてチップ基板16の裏面16bから表面を貫通し、ゲート電極の引き出し部分に至るバイアホール(すなわち図2(A)中、40で示されるバイアホール)、及びチップ基板16の裏面16bから表面を貫通し、ソース電極の引き出し部分38aに至るバイアホール(すなわち図2(A)中、44で示されるバイアホール)も併せて形成される。

【0042】その後、電解メッキにより、金(Au)を10μm、スズ(Sn)を200nm積層した構成の積層膜を、所定のパターンでチップ基板16の裏面16bに形成する。この積層膜(バンパ材)を背面電極としてのドレイン電極54とする(図6(B))。また、ドレイン電極54の形成と共に、バイアホール42の壁面にも同様の積層膜を形成する。この積層膜をバイアホール配線48とする。なお、図6(B)中には示していないが、この工程において図2(B)中に示している背面電極としてのゲート電極52及びソース電極56、並びにバイアホール配線46及び50も併せて形成する。なお、その後は、サファイヤ板を取りはずし、試料の上面を洗浄してワックスを除去する。

【0043】その後、この試料を500μm×500μm程度の大きさにダイシングしてFETチップとして切り出す。以上のようにして、FETチップを形成する。

【0044】次に、この実施の形態の配線基板について、図7を参照して説明する。図7は、この実施の形態の説明に供する配線基板の一部分を切り出して示した、配線基板の上面を示す概略的な平面図である。ここで用いる配線基板は、厚さ100μm程度のアルミナをセラミックとして用いたセラミック基板(京セラ製)である。この配線基板には、その上面に任意のパターンの金(Au)箔を貼りつけ一方裏面全面に金属を貼りつけることにより、回路配線としてのマイクロストリップ線路を設けることができ、また上面の金(Au)箔と裏面の金属とを表裏導通部を介して接続することにより、回路配線としての接地部(グランド)を裏面の金属と接続された上面の金属箔パターンに設けることができる。

【0045】図7に示す構成例では、配線基板12に回路配線としてインピーダンス50Ωの入力用マイクロストリップ線路、インピーダンス50Ωの出力用マイクロストリップ線路、及び接地部(グランド)を設けるように、金(Au)箔をパターニングし、さらに表裏導通部72を形成してある。そして、上述したFETチップ30を配線基板12上に配置した場合、図2(B)で既に説明したような、FETチップ30の裏面に設けられた背面電極20としてのゲート電極52、ドレイン電極54及びソース電極56が、それぞれ回路配線としてのイ

ンピーダンス 50Ω の入力用マイクロストリップ線路、インピーダンス 50Ω の出力用マイクロストリップ線路、及び接地部（グランド）上に位置する。図7中、74は入力用マイクロストリップ線路を構成する金（Au）箔パターン（以下、これを入力用マイクロストリップ線路パターンと称する。）であり、76は出力用マイクロストリップ線路を構成する金（Au）箔パターン（以下、これを出力用マイクロストリップ線路パターンと称する。）であり、78は接地部（グランド）となる金（Au）箔パターン（以下、これを接地部（グランド）と称する。）である。また、72は表裏導通部であり、円で囲みハッチングを付して示している。

【0046】この実施の形態のマイクロ波回路は、図2（B）に示すゲート電極52が図7に示す入力用マイクロストリップ線路74上に位置し、図2（B）に示すドレイン電極54が図7に示す出力用マイクロストリップ線路パターン76上に位置し、図2（B）に示すソース電極56が図7に示す接地部（グランド）78上に位置するように、上述したFETチップ30を、 300°C 程度に加熱した配線基板12上に配置することにより双方を結合して形成したものである。以上のように、FETチップ30を配線基板12上に配置した場合、背面電極20を構成するスズ（Sn）と、金（Au）箔パターンを構成する金（Au）とが共晶をつくるため、ゲート電極52と入力用マイクロストリップ線路パターン74、ドレイン電極54と出力用マイクロストリップ線路パターン76、及びソース電極56と接地部（グランド）78とが接着している。

【0047】このようなマイクロ波回路によれば、背面電極としてのゲート電極、ドレイン電極及びソース電極と、入力用マイクロストリップ線路パターン、出力用マイクロストリップ線路パターン及び接地部（グランド）との接続部分の面積は従来のようなフリップチップ方式を用いた場合に比べて大きくなる。このため、FETチップ内での発熱が配線基板に放熱され、FETの安定な動作が期待できる。

【0048】また、FETチップと配線基板との接続部分の面積が大きく、従ってFETチップと配線基板との接続が高強度になる。このため、光硬化性の樹脂を用いてFETチップを配線基板に固定する必要がなく、エアブリッジの部分で容量が大きくなるという恐れもなくなる。

【0049】また、表面電極と回路配線とは、バイアホール配線及び背面電極を介して電氣的に接続し、表面電極と回路配線とを接続する部分の長さはチップの厚さ程度、すなわち表面電極と回路配線とを接続する部分の長さがチップの厚さ程度となる。このため、インダクタンス等による寄生インピーダンス成分が小さい状態で、FETチップは配線基板上に実装される。

【0050】この発明は上述した実施の形態に限定され

るものではないことは明らかである。例えば、上述の実施の形態では、チップに形成されている半導体素子がFETである場合について説明したが、HEMTやダイオードが形成されている場合であっても良い。また、半導体素子を形成する基板は、GaAs基板やInP基板であっても良い。

【0051】また、上述の実施の形態では、FETだけが形成されているチップを用いて説明したが、FETのまわりにDCバイアス回路やマッチング回路などが形成されている場合であっても良い。この場合、DCバイアス回路とDC電源との接続はワイヤボンディング方式などの公知の方法で行なえば良い。

【0052】また、上述の実施の形態では、配線基板としてセラミック基板を用いる場合について説明したが、Si基板や石英基板などを用いる場合であっても良い。また、マイクロストリップ線路を回路配線として主に用いる場合について説明したが、コブレナー線路などを用いる場合であっても良い。また、配線基板には、マッチング回路などを含んでいても良い。

【0053】

【発明の効果】上述した説明からも明らかなように、この発明のマイクロ波回路によれば、配線基板に実装するチップは、チップ基板の裏面に設けられているバンパ材から成る背面電極と、チップ基板の上面から裏面へ貫通するバイアホールと、このバイアホールに形成されていて表面電極と背面電極とを電氣的に接続するバイアホール配線とを具えており、そして、チップは、背面電極と回路配線との直接的な接続により配線基板に固定されている。

【0054】この場合、バンパをチップ基板の上面に形成し、これをフェースダウンで配線基板と接続する従来のフリップチップ方式を用いた場合に比べて、チップと配線基板との接続部分の面積が大きくなる。このため、チップ内での発熱が配線基板に放熱され、チップ基板に設けられた半導体素子の安定な動作が期待できる。

【0055】また、チップと配線基板との接続部分の面積が大きいため、チップと配線基板との接続が高強度になる。このため、光硬化性の樹脂を用いてチップを配線基板に固定する必要がなくなる。従って、エアブリッジがチップに設けられている場合でも、その部分で容量が大きくなるという恐れもなくなる。

【0056】また、表面電極と回路配線とは、バイアホール配線及び背面電極を介して電氣的に接続し、表面電極と回路配線との間を接続する部分の長さはチップ基板の厚さ程度となる。このため、インダクタンス等による寄生インピーダンス成分が小さい状態で、チップは配線基板上に実装される。

【図面の簡単な説明】

【図1】マイクロ波回路の基本的な構成例を示した概略的な断面図である。

【図2】(A)及び(B)は、実施の形態の説明に供するFETチップの概略図であり、(A)はFETチップを示す概略的な斜視図であり、(B)はFETチップの裏面を示す概略的な平面図である。

【図3】(A)～(C)は、図2(A)中のI-I線に沿って切って取った断面に相当する断面図(ただし切り口の図)によって示したFETチップの概略的な形成工程図である。

【図4】(A)～(C)は、図3につづく、図2(A)中のI-I線に沿って切って取った断面に相当する断面図(ただし切り口の図)によって示したFETチップの概略的な形成工程図である。

【図5】(A)及び(B)は、図4につづく、図2(A)中のI-I線に沿って切って取った断面に相当する断面図(ただし切り口の図)によって示したFETチップの概略的な形成工程図である。

【図6】(A)及び(B)は、図5につづく、図2(A)中のI-I線に沿って切って取った断面に相当する断面図(ただし切り口の図)によって示したFETチップの概略的な形成工程図である。

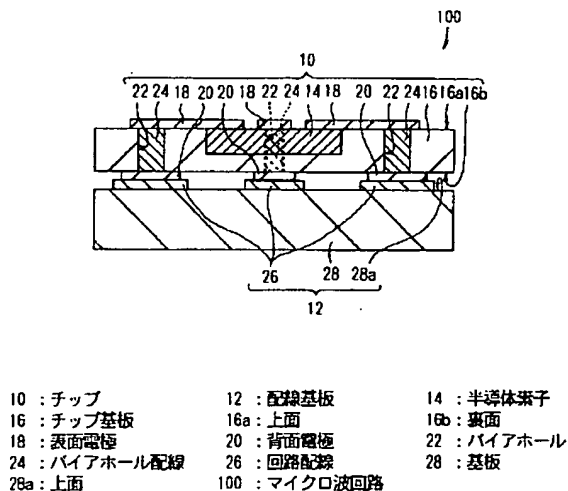
【図7】この実施の形態の説明に供する配線基板の一部を切り出して示した、配線基板の上面を示す概略的な平面図である。

【符号の説明】

100：マイクロ波回路

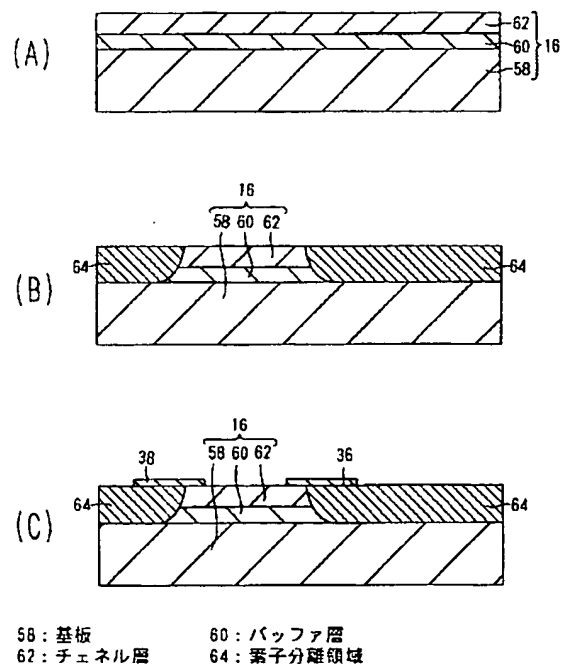
10：チップ
12：配線基板
14：半導体素子
16：チップ基板
16a：上面
16b：裏面
18：表面電極
20：背面電極
22：バイアホール
24：バイアホール配線
26：回路配線
28：基板
28a：上面
30：FETチップ
32：FET
34、52：ゲート電極
36、54：ドレイン電極
38、56：ソース電極
40、42、44：バイアホール
46、48、50：バイアホール配線
72：表裏導通部
74：入力用マイクロストリップ線路パターン
76：出力用マイクロストリップ線路パターン
78：接地部(グランド)

【図1】



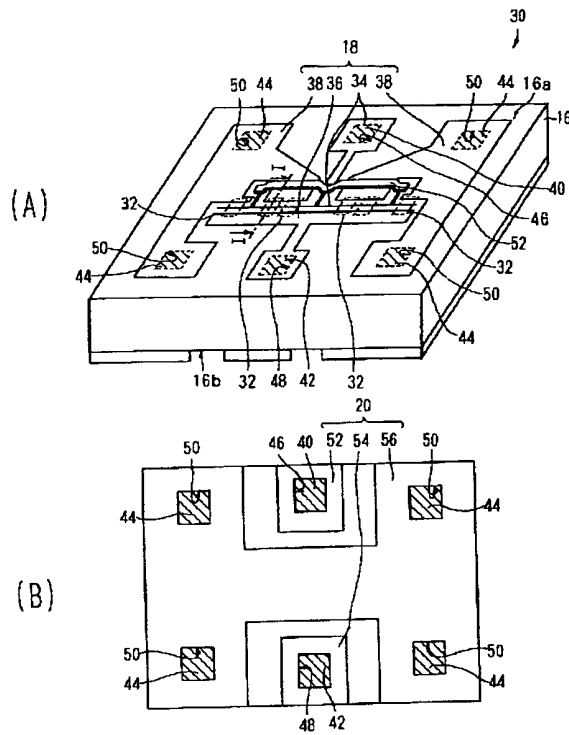
マイクロ波回路の基本的な構成例

【図3】



FETチップの形成工程図(その1)

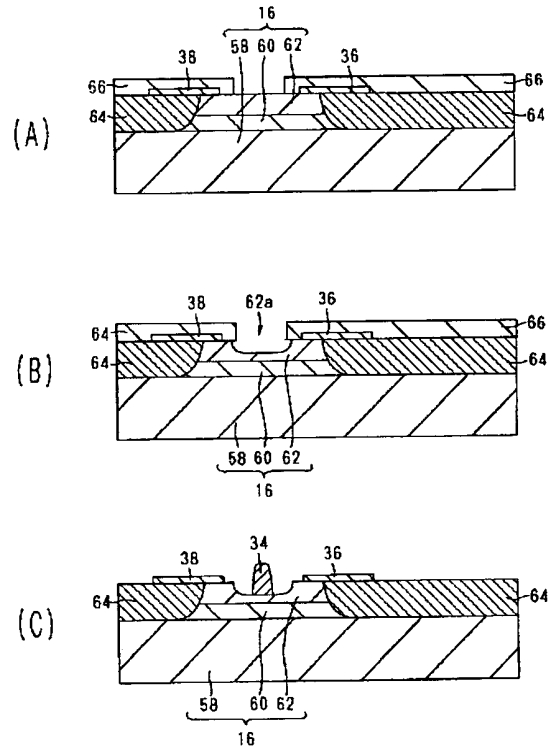
【図2】



30: FETチップ
34, 52: ゲート電極
38, 56: ソース電極
40, 42, 44: バイアホール
46, 48, 50: バイアホール配線
32: FET
36, 54: ドレイン電極
40, 42, 44: バイアホール
52: エアブリッジ

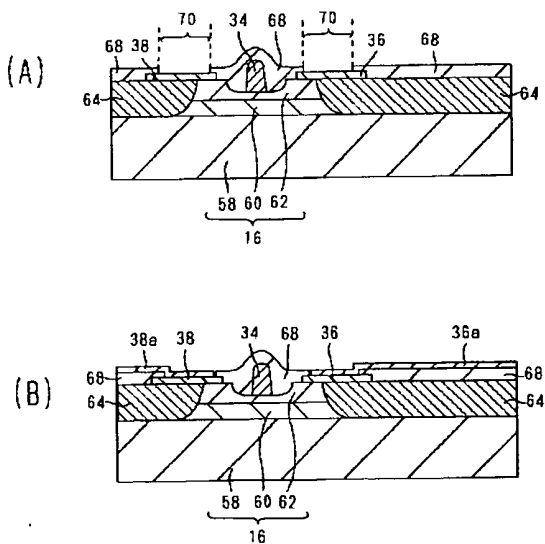
実施の形態の説明に供するFETチップの概略図

【図4】



62a: リセス部
66: レジストパターン
FETチップの形成工程図(その2)

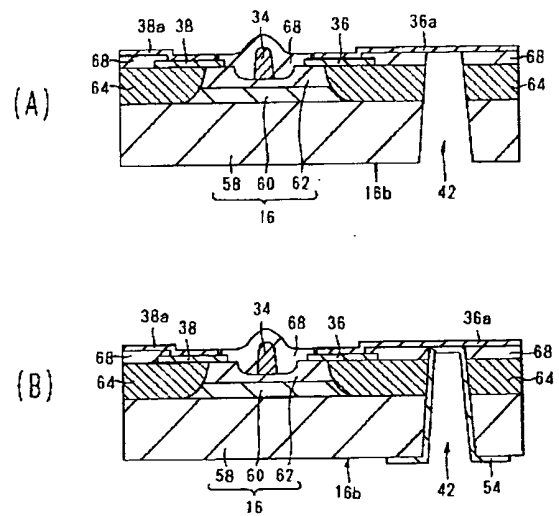
【図5】



36a: ドレイン電極の引き出し部分
68: 層間絶縁膜
38a: ソース電極の引き出し部分
70: コンタクト部

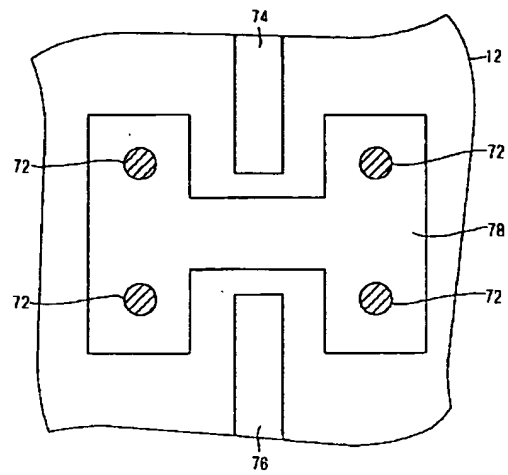
FETチップの形成工程図(その3)

【図6】



FETチップの形成工程図(その4)

【図7】



- 72: 表裏導通部
74: 入力用マイクロストリップ線路パターン
76: 出力用マイクロストリップ線路パターン
78: 接地部 (グランド)

配線基板の上面を示す概略的な平面図

THIS PAGE BLANK (USPTO)